

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2629523号

(45)発行日 平成9年(1997)7月9日

(24)登録日 平成9年(1997)4月18日

| | | | | |
|---------------------------|------|--------|--------------|--------|
| (51) Int.Cl. ^a | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
| G 01 R 31/28 | | | G 01 R 31/28 | B |
| G 11 C 29/00 | 303 | | G 11 C 29/00 | 303 C |
| | | | G 01 R 31/28 | F |

請求項の数9(全7頁)

| | |
|----------|-----------------|
| (21)出願番号 | 特願平4-169054 |
| (22)出願日 | 平成4年(1992)6月26日 |
| (65)公開番号 | 特開平7-72206 ✓ |
| (43)公開日 | 平成7年(1995)3月17日 |

| | |
|----------|--|
| (73)特許権者 | 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 |
| (72)発明者 | 濱田 弘幸 東京都港区芝五丁目7番1号日本電気株式会社内 |
| (72)発明者 | 辻出 篤 東京都港区芝五丁目7番1号日本電気株式会社内 |
| (72)発明者 | 杉本 正明 東京都港区芝五丁目7番1号日本電気株式会社内 |
| (74)代理人 | 弁理士 京本 直樹 (外2名) |
| 審査官 | 小川 浩史 |

最終頁に続く

(54)【発明の名称】 LSI検査装置及び方法

1

(57)【特許請求の範囲】

【請求項1】メモリLSIを電気的に検査する装置において、複数の検査項目を有し、第一の検査項目の結果を判断して第二の検査項目を選択するエキスパートシステムを有し、前記エキスパートシステムはメモリLSIの不良ビットがビットマップ上でどのように分布しているかをパターンに分類するステートメントを有するメイン・エキスパートシステムと、前記パターン別に不良の原因を導くステートメントを有する複数のサブ・エキスパートシステムとを有し、

前記メイン・エキスパートシステムが分類された前記パターンごとにそのパターンに対応する1つの前記サブ・エキスパートシステムを起動するステートメントを有する、

2

前記エキスパートシステムの指示に従って検査を行うLSI検査装置。

【請求項2】メモリLSIの不良の原因をつきとめる方法において、

メモリLSIを電気的に検査する装置上に、複数の検査項目と、第一の検査項目の結果を判断して第二の検査項目を選択するエキスパートシステムとを有し、前記エキスパートシステムはメモリLSIの不良ビットがビットマップ上でどの様に分布しているかをパターンに分類するステートメントと、前記パターン別に不良の原因を導く複数のフローチャートとを有することを特徴とするLSI検査方法。

【請求項3】請求項2において複数の被検査LSIの不良原因を原因別に累積する機能を有する請求項2記載のLSI検査方法。

【請求項4】請求項3において複数の不良原因から共通する製造上の因子別に分類する機能を有する請求項3記載のLSI検査方法。

【請求項5】検査対象の製品品種のレイアウトデータベースを品種別に有し、

不良の原因を導くフローチャートをデータベースとして品種毎に有し、

前記レイアウト及びフローチャートのデータベースを参照してパターン分類と不良原因を導くメインプログラムを有し、

前記メインプログラムは複数の品種に共通に有することを特徴とする請求項2記載のLSI検査方法。

【請求項6】請求項2においてLSIの3次元の配線構造から起こりうる配線間の断線と短絡の組み合わせを自動抽出してフローチャートを作成する方法を有する請求項2記載のLSI検査方法。

【請求項7】請求項2において知識の形式は、起こりうる不良原因群のi番目の不良原因と、検査項目群のj番目の検査項目に対するマトリックスからなり、マトリックスの要素第i行j列にはi番目の不良原因に対してj番目の検査を行った場合の検査期待値を有し、前記マトリックスに対応する不良原因群を検査対象として、前記検査項目群にふくまれる検査項目のうち前記期待値を有する1つの検査項目を検査して得る検査結果と前記期待値を比較して、前記検査結果と前記期待値が異なる前記マトリックスの要素を有する前記マトリックスの行を検査対象から排除する工程を有する請求項2記載のLSI検査方法。

【請求項8】請求項7において、不良原因群に含まれる不良原因を1つに限定する為に必要な項目を検査する数を小さくするように、マトリックスの配列順序を自動的に変更する工程を有する請求項7記載のLSI検査方法。

【請求項9】請求項2において、メインプログラムと検査プログラム群と知識データを有し、前記メインプログラムが前記知識データを参照して、前記メインプログラムが前記検査プログラム群の中の検査プログラムを起動する請求項2記載のLSI検査方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はメモリの検査装置、特に不良の原因を求るシステムに関するものである。

【0002】

【従来の技術】図8に示すように、従来のメモリLSI検査装置は、技術者と検査装置間で対話しながら検査を行うものであり、LSIの不良原因をつきとめる方法としてはビットマップを打ち出して技術者がその結果に応じて次のテストを行い、ビットマップ上の不良から物理的な不良場所を限定して顕微鏡などを用いて観察することにより、不良原因を調べていた。

【0003】

【発明が解決しようとする課題】この従来の検査装置を用いてメモリLSIの不良の原因をつきとめる従来の方法は、一般に不良ビットをシートに打ち出し、この不良ビットマップから判断してから解析を行っていた。しかし64Mbit程度の大容量になると、ビットマップをシート上に打ち出す為には多大の時間を必要とし、打ち出したデータの量も非常に多くなってしまう。

【0004】更に、このビットマップ情報からチップ上の不良場所を限定してチップを顕微鏡などで観察する方法をとっていたが、メモリの大容量化に伴いメモリセルは多層化がどんどん進み、不良ビット顕微鏡で観察しても内部の状態を調べるのは困難になってきている。しかもこの様な解析を実際に行うことの出来る熟練した技術者は、一部の人に限られていた。

【0005】LSIはエッティング、CVD、リングラフィ等のさまざまな製造工程のゆらぎで歩留り低下をきたす。この為、統計的に不良原因のデータを処理し、これから最近のロットの傾向を知る必要があり、この為には多くのデータをとる必要がある。一方、従来の装置による方法ではビットマップをとり、設計技術者がいろいろなテストをしながら推定し、これに従って破壊テストで不良原因をさぐってきた。しかし、この従来の方法ではLSIの複雑化もあり、一つの原因解明に数日を要し、さらにこれを大量に処理するのは多くの日数を要するので、製造へのフィードバックが遅れ、損失が大きくなる問題点があった。

【0006】

【課題を解決するための手段】本発明のメモリLSI検査装置及び方法は、電気的にLSIの不良原因を特定し、それも設計技術者が行うのではなく、ノウハウを手順として有するexpertシステムが直接メモリテスターに指示を出して結果を自動抽出し、これを統計処理するものである。

【0007】

【実施例】次に本発明について図面を参照して説明する。

【0008】図1に本発明の実施例を示す。

【0009】メモリテスターとexpertのknow howを入れたパーソナルコンピュータがある。まず、メモリテスターで不良がsingle bit不良か、ワード線にそった不良か、ディジット線にそった不良か、あるいはこれらの複合かを大雑把に区別する。

【0010】次にこれが実際のビットマップ上でどの様になっているのか、例えばbit不良はペアか、単独か、又、ワード不良は1本全部か途中で切れているのか等の区別を行う際に、前もって用意した製品毎の配列表を使い、Main Expert Systemで判断を行う。

【0011】次にそれぞれのビットマップ判断結果に応

じた Sub Expert が起動する。例えば、Single bit 不良は、Sub Expert I が、ワード線不良は Sub Expert II が起動する。この Sub Expert で図 2 のフローチャートに示すように不良原因をつきとめる為の種々のテストが効率的に行われる。すなわち、テストを実行してテスト結果に応じて次にどのテストを実行するかを決定してメモリテスターにそのテストの実行を指示する。このテスト選択の方法としては、例えば、テスト結果を想定する不良モードに対するテスト期待値と比較して、一致していればその不良モードを特定する為の次のテストを選択する。もし、テスト結果と期待値が一致していなければ別の不良モードを想定して比較を行うことにより次々とテストを選択、実行して不良モードを導くことができる。このテストの進行は、不良原因をつきとめるフローチャートを有するパーソナルコンピュータがメモリテスターとの間で GPIB を使ってテスト条件やテスト結果のやりとりを行ない、あたかも設計技術者がテスターと対話しながらテストを進めていくよう Expert システムがテスターと対話しながらテストが自動的に進められていき、最終的に不良原因が抽出される。この場合、メモリテスターが CPU を有している場合には、不良原因をつきとめるフローチャートはパーソナルコンピュータではなく、メモリテスターに内蔵しても良い。また、不良原因をつきとめる為のテストを例えば図 2 に示すようなフローチャートに従って行う場合、あるテストが pass であるか fail であるかによって次に行うテストが選択される。この pass や fail の期待値は製品の構造によって異なる場合があり、テストとテスト期待値の関係を記述したものをデータベースとして製品の品種毎に用意する。そして、このデータベースを参照しながら次々とテストを実行していく部分は製品に依存することなく全ての品種に対して共通のシステムとして有する。この場合、図 5 に示すようなテストとその期待値及び不良モードの関係を品種毎のデータベースとして用意する。全品種に共通なシステム上では、この品種毎データを参照しながらテストを実行してテスト結果を得、テスト期待値と比較することにより次のテストを選択、実行するという作業をおこなう。この一連の作業によって実行されていくテストは品種毎のデータによって実行フローを変化させることができる。すなわち、品種毎データがフローチャートであり、作業を実行する部分が全品種共通の部分である。

【0012】次に、これらのフローチャートを作成する方法について説明する。

【0013】図 3 に示すようにメモリセルは基板、拡散層、コンタクト、配線、絶縁膜などの構成要素からなっているが、このセルが不良になる原因としてゴミ、エッチング条件不十分、目ズレ、VT シフトなどによる各セル構成要素間のアナログ的な抵抗値も含めたオープン、

ショートで表すことが出来る。これを図 4 に示すように、構成要素間のすべての組み合わせから実際に起こる可能性のあるものを選び出す。これにはプロセス設計者あるいは、デバイス設計者の know how が入る。
【0014】次に、これらの不良モードをどのテストで分離できるかを図 5 に示すように表にまとめる。すなわち、不良モードを決定するために必要なテストとそのテストをその不良モードに対して実行する場合のテスト結果の期待値を表にする。このとき、回路設計者やレイアウト設計者のノウハウが入る。この際、不良モードを特定するのに十分な必要最低限のテストを選び、これらをもとにしてフローチャートを作成する。この表はそのままフローチャートとして用いることができる。
 10 すなわち、マトリックスの列はテスト項目に対応し、マトリックスの行は不良モードに対応し、マトリックスの要素にはテスト期待値が入る。このマトリックスを用いてテストの実行をコントロールすることができる。つまり、第 i 行の一連のテスト期待値とテスト結果が全て一致していれば不良モードは第 i 行に対応するものであることがわかる。また 1 つでもテスト期待値とテスト結果が異なっていればその不良モードは成立しない。このマトリックスを用いて具体的にテストフローを決定する方法は、図 7 に示すように不良モード属性 i に属する検査期待値を有するマトリックスの列 j の検査項目を検査する。このとき得られる検査結果を検査期待値 (要素 i j) と比較する。これが等しければ j が最後の列になるまで繰り返す。最後の列に到達すれば不良モードは第 i 行に属するものであることが決定される。もし 1 つでも異なっていればその時点で次の行 j + 1 に対してこの一連の作業が実行される。すなわち、第 j 行は不良モードの候補から削除される。

【0015】現在市販されているフローチャートのルールを表形式の判断例から自動作成するソフトウェアに例えば "PROTO TYPER" がある。図 6 は不良モードとテストの対応表から "PROTO TYPER" を用いてルールを自動作成したものであるが、経験の深い技術者が作成するものとほとんど一致することから有効性が確認される。

【0016】以上の様にして作成されたシステムを実行することにより、LSI の不良原因を特定し、複数のサンプルについても同様にして不良原因が特定され、これを統計処理して不良原因別のパレート図を作成して、歩留まり改善に寄与することも出来る。つまり、最近のロットはゲートのショートが多いがオープンは少ないとか、アルミ配線のショートは多いがオープンは少ないとかという傾向を把握することができる。さらに、このようなオープンやショート等の不良の原因を目ズレやゴミ等の製造上の因子別にまとめて統計をとることができる。つまり製造上の因子として、ゴミ、レジストの密着不良、などのようなものがあり、ゲートショートやアル

ミ配線ショートになる因子としてはゴミなどがあり、オープンになる因子としてはレジストの密着不良などがある。すなわち、ゲートショート不良が1つある場合はゴミのカウントが1カウントとなり、アルミ配線ショート不良が1つある場合はゴミのカウントが1カウントとなる。また、ゲートオープン不良が1つある場合はレジストの密着不良が1カウントとなる。従って、ゲートショート不良とアルミ配線ショート不良が多い場合はその因子としてゴミが多いということがわかる。

【0017】尚、以上の実施例では、メモリテスタとパソコン用コンピュータをGPIBで接続したシステム構成の例を示したが、検査装置にコンピュータ機能を内蔵させたシステム構成であっても本発明が有効であることは明らかである。

【0018】又、図7に本発明の実施例の流れ図を示した。

【0019】

【発明の効果】以上説明したように、本発明はメモリLSIを電気的に検査する装置においてプロセスと回路とレイアウトの知識に基づいたエキスパートシステムの指

示に従って検査を行うので、LSIの不良の原因を電気的につきとめ、しかも短時間で自動的に行える効果を有する。

【0020】又、これらの不良原因を統計的に表することで低歩留りの原因を解明し、歩留りの向上の対策が行える効果を有する。

【図面の簡単な説明】

【図1】本発明の実施例を説明するための図。

【図2】図1のSub Expert Iのルールのフローチャートの図。

【図3】ピット不良の原因を説明するための図。

【図4】プロセス設計者のノウハウを説明するための図。

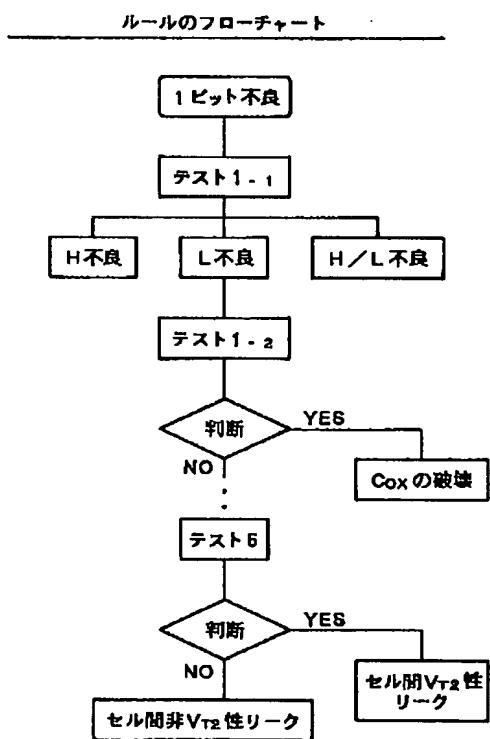
【図5】回路設計者、レイアウト設計者のノウハウを説明するための図。

【図6】“PROTO TYPE R”を用いたルールの自動抽出を説明するための図。

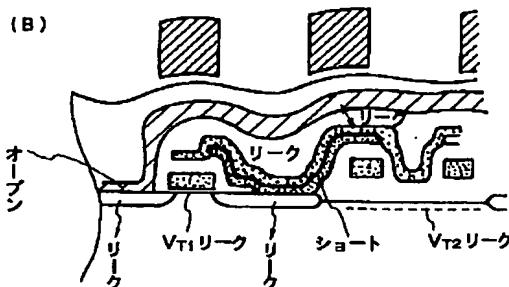
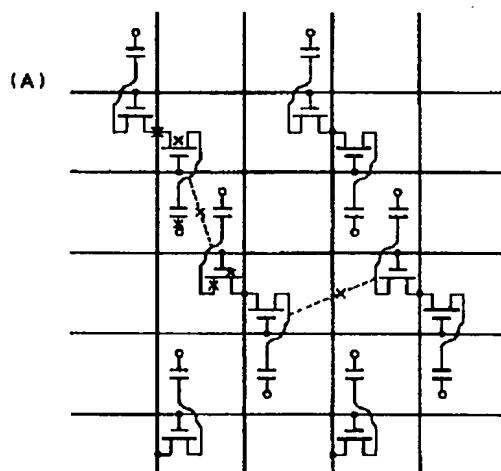
【図7】本発明の実施例の流れ図。

【図8】従来例を説明するための図。

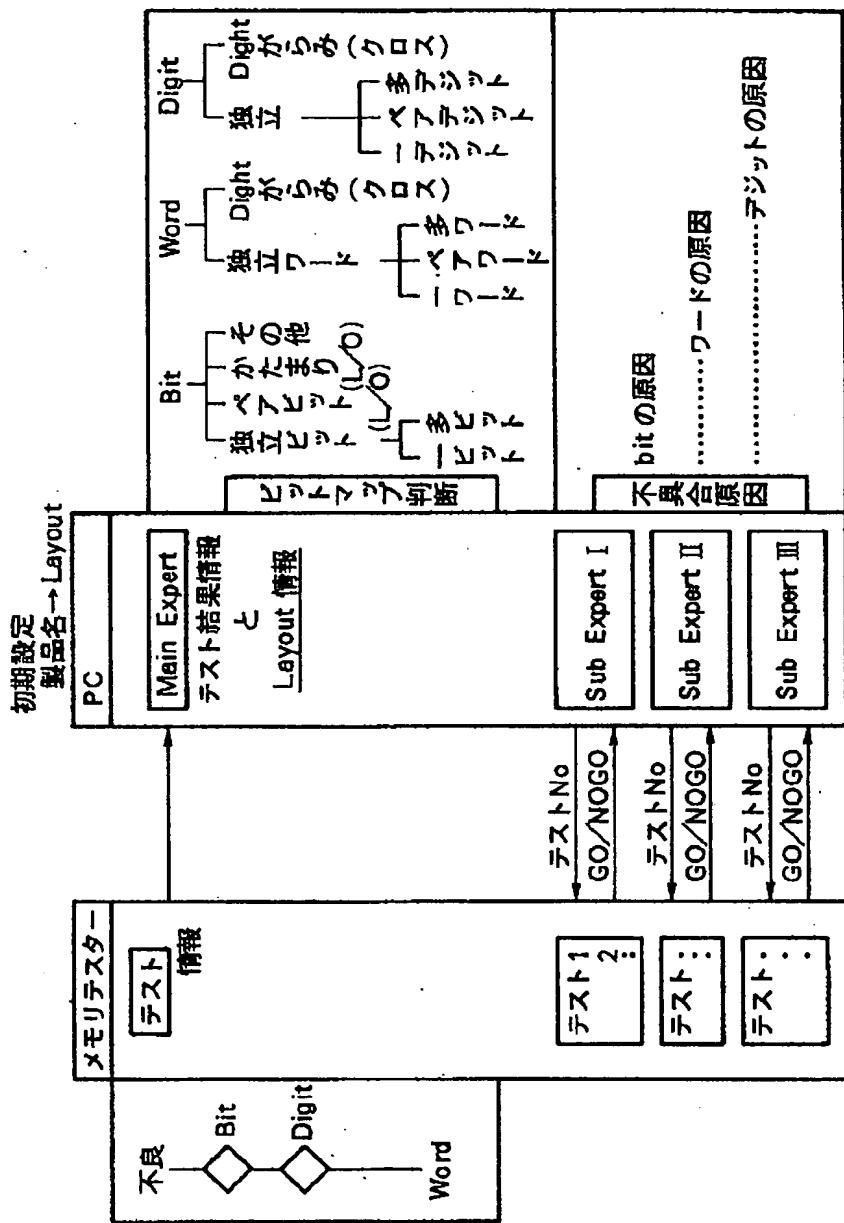
【図2】



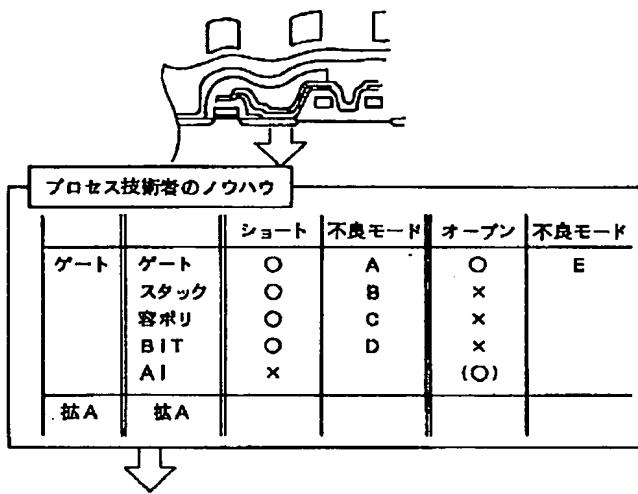
【図3】



【図1】



【図4】



【図5】

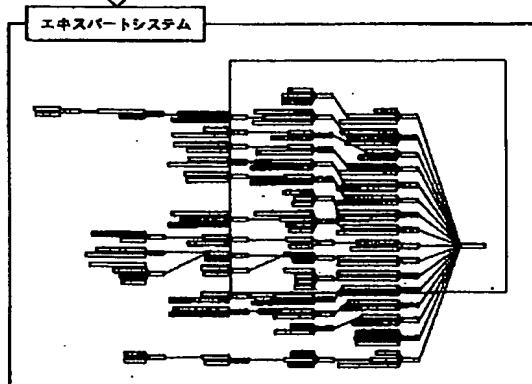
| 回路設計者・レイアウト設計者のノウハウ | | T1 | T2 | T3 | T4 | T5 | T6 |
|---------------------|---|----|----|----|----|----|----|
| A | F | | | F | | | |
| B | F | | | P | | | |
| C | F | | | P | F | | |
| D | | | | P | | F | F |
| E | F | | | | | F | F |

【図6】

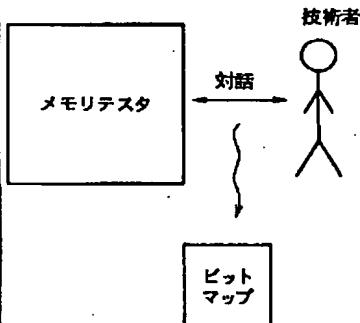
ルール自動抽出

```

1300 IF L不良$ ◊ "FAIL" THEN GOTO 1400
1310 IF PLTGND-H$ ◊ "PASS" THEN GOTO 140
1320 IF L不良VBBS ◊ "FAIL" THEN GOTO 1400
1330 IF 共COM$ ◊ "PASS" THEN GOTO 1400
1340 IF PAGE新$ ◊ "NO" THEN GOTO 1400
1350 IF H不良$ ◊ "PASS" THEN GOTO 1400
1360 IF H不良VBBS ◊ "FAIL" THEN GOTO 1400
1370 結果$ ← "未確定" : RETURN
1400 IF L不良$ ◊ "FAIL" THEN GOTO 1500
1405 IF PLTGND-H$ ◊ "PA85" THEN GOTO 160
1410 IF L不良VBBS ◊ "FAIL" THEN GOTO 1500
1415 IF 共CON$ ◊ "PASS" THEN GOTO 1600
1420 IF PAGE新$ ◊ "NO" THEN GOTO 1600
1425 IF H不良$ ◊ "PASS" THEN GOTO 1600
1430 IF H不良VBBS ◊ "PASS" THEN GOTO 160
1435 IF 1BITL$ ◊ "PASS" THEN GOTO 1500
1440 IF 1BITLWAIT$ ◊ "PASS" THEN GOTO 150
    
```

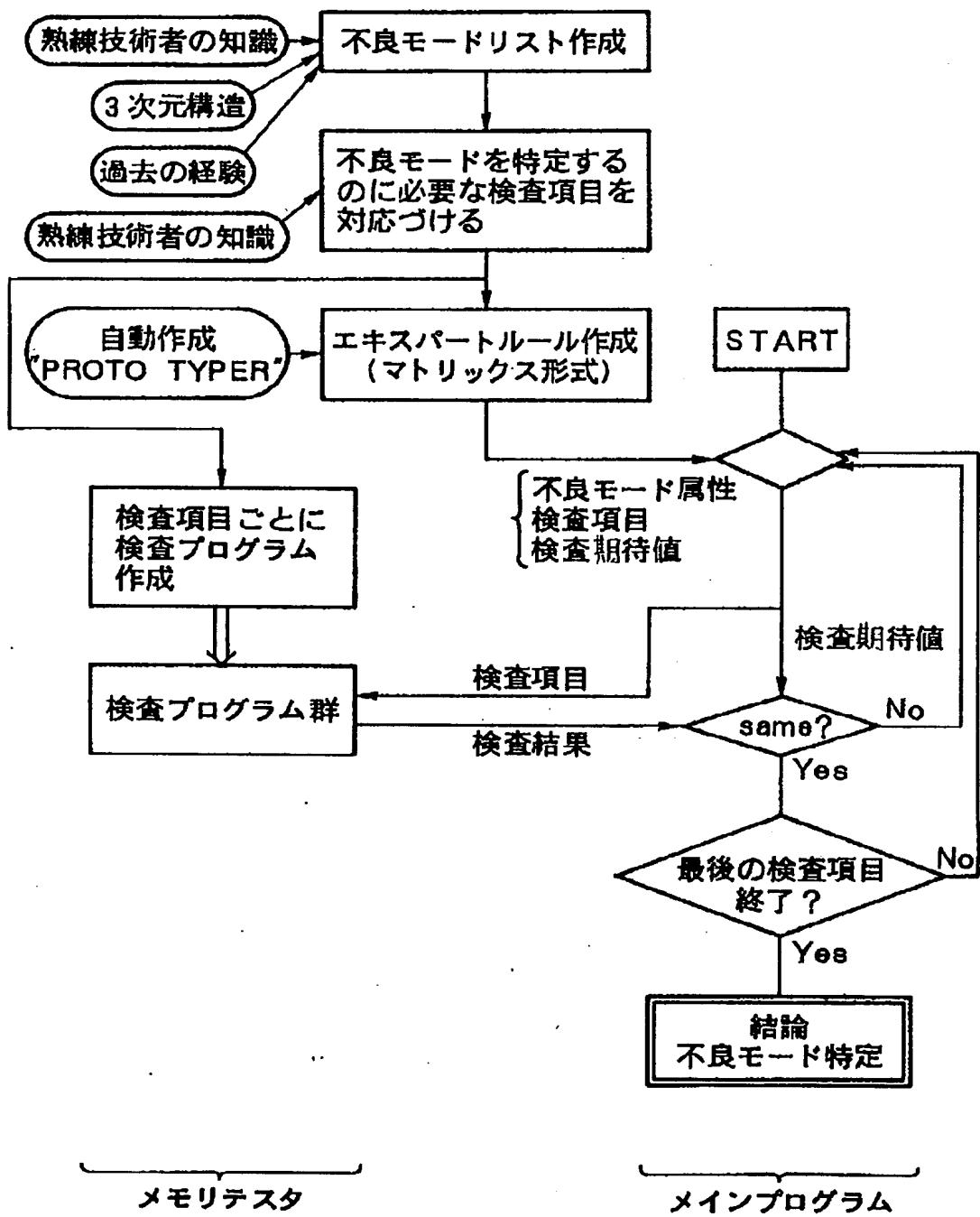


【図8】



【図7】

本発明の流れ図



フロントページの続き

- (56)参考文献 特開 平2-69827 (J.P. A)
 特開 昭63-127168 (J.P. A)
 特開 平4-359640 (J.P. A)